



GK-US035112

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Kwyro LEE et al. :
Serial No.: 10/633,589 :
Filed: August 5, 2003 :
For: VARIABLE GAIN LOW NOISE AMPLIFIER :

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

The Assistant Commissioner of Patents
Washington, DC 20231

Sir:

Under the provisions of 35 U.S.C. §119, Applicants file herewith certified copy of Korean Patent Application No. 10-2002-46066, filed August 5, 2002 in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748. Applicants hereby claim priority under 35 U.S.C. §119 in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748.

Respectfully submitted,

Todd M. Guise
Reg. No. 46,748

SHINJYU GLOBAL IP COUNSELORS, LLP
1233 Twentieth Street, NW, Suite 700
Washington, DC 20036
(202)-293-0444
Dated: 11/18/03

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0046066
Application Number

출원년월일 : 2002년 08월 05일
Date of Application
AUG 05, 2002

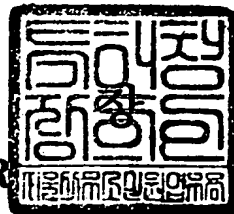
출원인 : 인티그런트 테크놀로지즈(주)
Applicant(s) INTEGRANT TECHNOLOGIES INC.



2003 년 08 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.05
【발명의 명칭】	가변 이득 저잡음 증폭기
【발명의 영문명칭】	Variable Gain Low Noise Amplifier
【출원인】	
【명칭】	인티그런트 테크놀로지즈(주)
【출원인코드】	1-2001-002372-0
【대리인】	
【성명】	박경완
【대리인코드】	9-1999-000646-5
【포괄위임등록번호】	2001-003356-1
【대리인】	
【성명】	김성호
【대리인코드】	9-1998-000633-4
【포괄위임등록번호】	2001-003357-8
【발명자】	
【성명의 국문표기】	이귀로
【성명의 영문표기】	LEE, Kwyro
【주민등록번호】	520520-1229711
【우편번호】	305-325
【주소】	대전광역시 유성구 노은동 열매마을 811-1101
【국적】	KR
【발명자】	
【성명의 국문표기】	김태욱
【성명의 영문표기】	KIM, Tae Wook
【주민등록번호】	740220-1024528
【우편번호】	136-847
【주소】	서울특별시 성북구 정릉4동 800-63 국제빌라 가동 301호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

박경완 (인) 대리인

김성호 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 342,000 원

【감면사유】 소기업 (70%감면)

【감면후 수수료】 102,600 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류_1통

**【요약서】****【요약】**

본 발명은 입력 정합, 이득 및 잡음 특성, 선형성 등에서 최적의 성능을 발휘할 수 있는 가변 이득 저잡음 증폭기에 관한 것이다. 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기는 고 이득 모드에서 동작하는 제1 증폭셀, 저 이득 모드에서 동작하는 제2 증폭셀, 선택적 정합 회로, 및 제1 단란 수단을 포함한다. 선택적 정합 회로는 고 이득 모드에서 저잡음 증폭기의 입력단에 인가된 신호의 제1 증폭셀로 전달되는 전력이 최대가 되도록 입력 임피던스를 변환시키고, 저 이득 모드에서는 저잡음 증폭기의 입력단에 인가된 신호의 제1 증폭셀로 전달되는 전력이 실질적으로 0이 되도록 입력 임피던스를 선택적으로 변환시킴으로써, 고 이득 모드 및 저 이득 모드에서 동작하는 회로가 서로 부하로서 영향을 미치지 않게 하여, 본 발명에 따른 가변 이득 증폭기가 각각의 이득 모드에서 최적의 성능을 발휘할 수 있도록 한다. 또한, 고 이득 모드에서 동작하는 제1 증폭셀을 증폭 동작이 우수한 소스 공통형으로 구현하고, 저 이득 모드에서 동작하는 제2 증폭셀을 선형성이 우수한 게이트 공통형으로 구현함으로써, 본 발명에 따른 가변 이득 저잡음 증폭기는 각 모드에서 최적의 성능을 발휘할 수 있다.

【대표도】

도 6a

【색인어】

저잡음 증폭기, 가변 이득, 정합 회로, 최대 전력, 이득 모드

【명세서】

【발명의 명칭】

가변 이득 저잡음 증폭기{Variable Gain Low Noise Amplifier}

【도면의 간단한 설명】

도 1은 종래의 저잡음 증폭기를 도시한 회로도.

도 2a는 종래의 소스 공통형 증폭기를 도시한 회로도.

도 2b는 종래의 게이트 공통형 증폭기를 도시한 회로도.

도 3은 본 발명의 일실시예에 따른 두 개의 이득 모드를 갖는 가변 이득 저잡음 증폭기를 개략적으로 도시한 회로도.

도 4는 본 발명의 다른 실시예에 따른 세 개의 이득 모드를 갖는 가변 이득 저잡음 증폭기를 개략적으로 도시한 회로도.

도 5a는 도 3 및 도 4에 도시된 가변 이득 저잡음 증폭기의 제1 증폭셀의 내부 구성을 본 발명의 일실시예에 따라서 도시한 회로도.

도 5b는 도 3 및 도 4에 도시된 가변 이득 저잡음 증폭기의 제2 증폭셀의 내부 구성을 본 발명의 일실시예에 따라서 도시한 회로도.

도 5c는 도 3 및 도 4에 도시된 가변 이득 저잡음 증폭기의 선택적 정합 회로의 내부 구성을 본 발명의 일실시예에 따라서 도시한 회로도.

도 6a은 도 3에 도시된 가변 이득 저잡음 증폭기를 도 4a, 도 4b 및 도 4c에 도시된 회로를 이용하여 구현한 것을 도시한 회로도.

도 6b는 도 6a에 도시된 가변 이득 저잡음 증폭기에 있어서, 고 이득 모드의 경우 선택적 정합 회로의 동작을 상세히 설명하기 위하여 제1 증폭셀의 입력 부분을 등가적으로 도시한 회로도.

도 6c는 도 6a에 도시된 가변 이득 저잡음 증폭기에 있어서, 저 이득 모드의 경우 선택적 정합 회로의 동작을 상세히 설명하기 위하여 제1 증폭셀의 입력 부분을 등가적으로 도시한 회로도.

<도면의 주요 부분에 대한 부호의 설명>

3100: 제1 증폭셀

3300: 제2 증폭셀

3500: 선택적 정합 회로

SW1: 제1 단락 소자

SW2: 제2 단락 소자

SW3: 제3 단락 소자

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 저잡음 증폭기(LNA: Low Noise Amplifier)에 관한 것으로서, 더욱 상세하게는 입력 정합, 이득 및 잡음 특성, 선형성 등에서 최적의 성능을 발휘할 수 있는 가변 이득 저잡음 증폭기에 관한 것이다.

<17> 휴대 전화, TV 등 무선 기기의 수신에 있어서, 첫 단은 통상 작은 신호를 큰 신호로 증폭시키는 증폭기로 구성된다. 이러한 증폭기는 신호가 아주 작을 때에는 저 잡음 및 고 이득 특성을 갖는 증폭 동작이 요구되나, 신호가 비교적 클 경우에는 오히려 선형 특성이 더욱 요구

된다. 따라서 무선 주파수 수신 장치에 있어서, 증폭기는 입력 신호 레벨에 따라 두 가지 이상의 증폭 모드를 구비하고, 그 중에서 하나를 선택할 수 있도록 하는 것이 필요하다.

- <18> 종래의 저잡음 증폭기로서, 미합중국 특허 제 6,144,254호에서는 저 이득 상태 및 고 이득 상태를 스위칭 할 수 있는 저잡음 증폭기를 개시하고 있다.
- <19> 도 1은 미합중국 특허 제 6,144,254호에 개시된 저잡음 증폭기를 도시한 회로도이다.
- <20> 도 1에 도시된 바와 같이, 저잡음 증폭기는 고 이득 상태에서 동작하는 에미터 공통형 제1 NPN 트랜지스터 BN1, 저 이득 상태에서 동작하는 베이스 공통형 제2 NPN 트랜지스터 BN2, 제2 NPN 트랜지스터 BN2에 바이어스 전류를 제공하기 위한 제3 NPN 트랜지스터 BN3 및 저항 R1으로 구성된다.
- <21> 즉, 제1 NPN 트랜지스터 BN1의 콜렉터는 저잡음 증폭기의 출력단 Pout과 접속되고, 베이스는 저잡음 증폭기의 입력단 Pin 및 제1 바이어스 입력단 Bias1과 접속되며, 에미터는 접지된다. 제1 바이어스 입력단 Bias1 및 제1 NPN 트랜지스터 BN1 사이에는 저항 R1이 접속된다.
- <22> 제2 NPN 트랜지스터 BN2의 콜렉터는 저잡음 증폭기의 출력단 Pout에 접속되고, 베이스는 제2 바이어스 입력단 Bias2과 접속되며, 에미터는 저잡음 증폭기의 입력단 Pin 및 제3 NPN 트랜지스터 BN3의 콜렉터와 접속된다.
- <23> 제3 NPN 트랜지스터 BN3의 베이스는 제3 바이어스 입력단 Bias3과 접속되며, 에미터는 접지된다.
- <24> 이하, 도 1을 참조하여 종래의 저잡음 증폭기의 동작을 설명한다.
- <25> 고 이득 상태에서는 제1 바이어스 Bias1가 하이(high)로 되고, 제2 및 제3

바이어스 Bias2, Bias3는 로우(low)로 된다. 따라서 고 이득 상태에서, 에미터 공통형 제1 NPN 트랜지스터 BN1는 활성화되며, 높은 이득의 증폭 동작을 수행한다. 이 경우, 제2 및 제3 NPN 트랜지스터 BN2, BN3는 오프된다.

<26> 저 이득 상태에서는 제2 및 제3 바이어스 Bias2, Bias3는 하이(high)로 되고, 제1 바이어스 Bias1는 로우(low)로 된다. 따라서, 저 이득 상태에서는 베이스 공통형 제2 NPN 트랜지스터 BN2 및 제3 NPN 트랜지스터 BN3가 활성화되어 낮은 이득의 증폭 동작을 수행한다. 이 경우, 제1 NPN 트랜지스터 BN1는 오프된다.

<27> 도 1에 도시된 저잡음 증폭기는 고 이득 상태 및 저 이득 상태를 선택하여, 수신 신호의 크기에 따라서 높은 이득의 증폭 동작 또는 낮은 이득의 증폭 동작을 수행한다. 그러나, 도 1에 도시된 저잡음 증폭기는 고 이득 상태에서 사용되는 에미터 공통형 제1 NPN 트랜지스터 BN1와 저 이득 상태에서 사용되는 베이스 공통형 제2 NPN 트랜지스터 BN2의 입력단 즉, 에미터 공통형 제1 NPN 트랜지스터 BN1의 베이스와 베이스 공통형 제2 NPN 트랜지스터 BN2의 에미터가 직접 접속됨으로써, 각 이득 상태에서 동작하는 회로는 서로 부하로서 영향을 미치게 된다. 즉, 저잡음 증폭기가 고 이득 상태에서 동작할 경우, 저 이득 상태에서 사용되는 베이스 공통형 제2 NPN 트랜지스터 BN2의 에미터 단자의 커패시턴스가 고 이득 회로의 부하로 작용하여 고 이득 상태의 이득, 정합 및 잡음 특성 등의 성능에 좋지 못한 영향을 끼치게 되며, 저잡음 증폭기의 성능을 저하시킨다. 또한, 저 이득 상태에서 동작할 때는 고 이득 상태에서 사용되는 에미터 공통형 제1 NPN 트랜지스터 BN1의 베이스 단자의 커패시턴스가 고 이득 상태와 마찬가지로 저 이득 상태의 성능을 저하시킨다. 이는 특히 두 모드의 입력 단자의 임피던스 레벨이 실질적으로 같은 정도에 있어 서로의 부하로 작용하기 때문이다.

**【발명이 이루고자 하는 기술적 과제】**

- <28> 본 발명의 목적은 각각의 이득 모드에서 최적으로 동작하도록 설계된 회로가 다른 이득 모드에서 동작하는 회로의 최적화된 성능에 영향을 미치지 않도록 하는 가변 이득 저잡음 증폭기를 제공하는 것이다.
- <29> 본 발명의 다른 목적은 서로 다른 이득 모드에서 입력 정합, 이득, 잡음 특성, 선형성 등에서 최적의 성능을 발휘할 수 있는 가변 이득 저잡음 증폭기를 제공하는 것이다.
- <30> 본 발명의 또 다른 목적은 수신 신호의 크기에 따라 두 개 이상의 증폭 모드에서 동작하며, 저 이득 모드에서는 이득을 가변시킬 수 있는 가변 이득 저잡음 증폭기를 제공하는 것이다.
- <31> 본 발명의 또 다른 목적은 전력 소비가 낮은 가변 이득 저잡음 증폭기를 제공하는 것이다.

【발명의 구성 및 작용】

- <32> 상기 목적을 달성하기 위하여 본 발명은, 입력단에 인가된 신호를 증폭하여 출력단으로 출력하는 가변 이득 저잡음 증폭기에 있어서, 제1 단자 및 출력단에 접속되는 제2 단자를 구비하고, 고 이득 모드에서 제1 단자에 인가된 신호를 높은 이득으로 증폭하여 제2 단자로 출력하는 제1 증폭셀, 제1 단자 및 출력단에 접속되는 제2 단자를 구비하고, 저 이득 모드에서 제1 단자에 인가된 신호를 저 이득으로 증폭하여 제2 단자로 출력하는 제2 증폭셀, 입력단에 접속되는 제1 단자 및 제1 증폭셀의 제1 단자에 접속되는 제2 단자를 구비하고, 제1 증폭셀의 입력 임피던스를 선택적으로 변환시키는 정합 회로, 및 입력단 및 제2 증폭셀의 제1 단자 사이에 접속되어, 저 이득 모드 동작시 입력단에 인가된 신호를 제2 증폭셀의 제1 단자로 전송하는 제



1 단락 수단을 포함하되, 정합 회로는 고 이득 모드의 동작 시에는 입력단에 인가되는 신호의 제1 증폭셀로 전달되는 전력이 최대가 되도록 입력 임피던스를 변환시키고, 저 이득 모드의 동작 시에는 입력단에 인가되는 신호의 제1 증폭셀로 전달되는 전력이 실질적으로 0이 되도록 입력 임피던스를 선택적으로 변환시킨다. 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기에 있어서, 제2 증폭셀의 제2 단자 및 출력단 사이에 단락 수단을 더 포함할 수 있으며, 입력단 및 출력단 사이에 단락 수단을 더 포함할 수 있다. 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기에 있어서, 제1 증폭셀은 제1, 제2 및 제3 단자를 포함하며, 제3 단자에 인가되는 전압에 비례하여 제1 단자로부터 제2 단자로 흐르는 전류의 양이 제어되는 증폭 소자, 저항, 및 퇴화 임피던스를 포함하고, 증폭 소자의 제1 단자는 제1 증폭셀의 제2 단자를 형성하고, 제2 단자는 퇴화 임피던스의 일단과 접속되며, 제3 단자는 저항의 일단과 접속되어 제1 증폭셀의 제1 단자를 형성하고, 퇴화 임피던스의 타단은 접지되며, 저항의 타단에는 고 이득 모드 동작 시 제1 증폭셀을 활성화시키는 HG-바이어스 전압이 인가되고, 증폭 소자는 제2 단자 공통형으로 접속된다. 제2 증폭셀은 제1, 제2 및 제3 단자를 포함하며, 제3 단자에 인가되는 전압에 비례하여 제1 단자로부터 제2 단자로 흐르는 전류의 양이 제어되는 제1 증폭 소자를 포함하

며, 제1 증폭 소자의 제2 단자는 제2 증폭셀의 제1 단자를 형성하고, 제 3 단자에는 저 이득 모드 동작시 제2 증폭셀을 활성화시키는 LG-바이어스 전압이 인가되며, 제1 증폭 소자는 제3 단자 공통형으로 접속된 증폭부, 및 각각 제1, 제2 및 제3 단자를 포함하며, 제3 단자에 인가되는 전압에 비례하여 제1 단자로부터 제2 단자로 흐르는 전류의 양이 제어되는 제2 및 제3 증폭 소자, 전압 소오스, 및 가변 전압 소오스를 포함하고, 제2 증폭 소자의 제1 단자는 제2 증폭셀의 제2 단자를 형성하고, 제2 단자는 제3 증폭 소자의 제2 단자와 접속되어 증폭부의 제1 증폭 소자의 제1 단자에 접속되며, 제3 단자는 전압 소오스의 일단과 접속되고, 제3 증폭 소자의 제1 단자는 전원에 접속되고, 제3 단자는 가변 전압 소오스에 접속되며, 전압 소오스 및 가변 전압 소오스의 타단은 접지된다. 정합 회로는 제1 및 제2 인덕터, 커패시터, 및 제3 단락 수단을 포함하고, 제1 인덕터의 일단은 제2 인덕터 및 커패시터와 접속하고, 타단은 제2 단락 수단의 일단에 접속되며, 제2 인덕터의 타단은 제1 단자를 형성하고, 커패시터의 타단은 제2 단자를 형성하며, 제3 단락 수단의 타단은 접지된다.

<33> 이하, 첨부된 도면을 참조하여, 종래의 소스 공통형 저잡음 증폭기 및 게이트 공통형 저잡음 증폭기에 대하여 설명하고, 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기를 구체적으로 설명한다.

<34> 도 2a는 종래의 소스 공통형 증폭기를 도시한 회로도이다.

<35> 도 2a에 도시된 바와 같이, 소스 공통형 증폭기는 NMOS 트랜지스터 MS21, 제1, 제2 및 제3 인덕터 L21, L22, L23, 저항 R21 및 전압 소오스 V21를 포함한다.

NMOS 트랜지스터 MS21의 드레인은 제1 인덕터 L21의 일단과 접속되어 증폭기의 출력단 Pout을 형성하고, 게이트는 저항 R21 및 제3 인덕터 L23의 일단과 접속되며, 소오스는 제2 인덕터 L22의 일단과 접속된다. 제1 인덕터 L21의 타단은 전원 VDD에 접속되고, 제2 인덕터 L22의 타단은 접지되며, 제3 인덕터 L23의 타단은 증폭기의 입력단 Pin을 형성한다. 전압 소오스 V21는 저항 R21의 타단 및 접지 사이에 접속된다.

<36> 도 2a에 도시된 소스 공통형 증폭기는 당업계에 잘 알려진 바와 같이, 입력단 Pin을 통해 인가된 신호를 높은 이득으로 증폭시키며, 소오스 퇴화를 통해 입력 전력 및 잡음을 매칭시킬 수 있다. 따라서, 소스 공통형 증폭기는 최적의 잡음 특성과 이득을 얻는데 적합하다. 그러나 제3 인덕터 L23 및 NMOS 트랜지스터 MS21의 커패시턴스 성분에 의한 전압 증폭 효과로 인해 선형성이 나쁘다는 단점이 있다.

<37> 도 2b는 종래의 게이트 공통형 증폭기를 도시한 회로도이다.

<38> 도 2b에 도시된 바와 같이, 게이트 공통형 증폭기는 NMOS 트랜지스터 MG21, 인덕터 L24, 커패시터 C21 및 전류 소오스 I21를 포함한다. NMOS 트랜지스터 MG21의 드레인은 인덕터 L24의 일단과 접속되어 증폭기의 출력단 Pout을 형성하고, 게이트는 전압 소오스 V22의 한쪽 단자에 접속되며, 소오스는 전류 소오스 I21의 일단 및 커패시터 C21의 일단과 접속된다. 전압 소오스 V22의 다른 쪽 단자는 접지되고, 인덕터 L24의 타단은 전원 VDD에 접속되며, 전류 소오스 I21의 타단은 접지된다. 커패시터 C21의 타단은 증폭기의 입력단 Pin을 형성한다.

<39> 도 2b에 도시된 게이트 공통형 증폭기는 입력단 Pin을 통해 인가된 신호를 저 이득으로 증폭시킨다. 게이트 공통형 증폭기는 입력 정합 회로를 사용하여 전압 증폭 효과를 얻을 수 없기 때문에, 이득과 잡음 특성이 도 2a에 도시된 소스 공통형 증폭기에 비하여 떨어진다. 그러나, 입력 저항이 $1/g_m$ (트랜스컨덕턴스)이므로 NMOS 트랜지스터 MG21에 흐르는 전류를

조절하여, gm 값을 조절함으로써, 입력 저항 값을 쉽게 정합시킬 수 있다. 상기 입력 저항 값은 도 2a에 도시된 소스 공통형 증폭기의 입력 저항 값보다도 훨씬 작으며, 또한 최근에 개발된 작은 채널길이를 갖는 트랜지스터의 경우 gm의 선형성이 매우 우수하기 때문에, 게이트 공통형 증폭기는 소스 공통형에 비해 매우 높은 선형성을 얻을 수 있다는 장점이 있다. 또한 게이트 공통형 증폭기는 출력단에 출력 전류를 가변시키는 회로를 부가함으로써, 가변 이득 기능을 쉽게 구현할 수 있다.

<40> 이하, 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기를 설명한다.

<41> 본 발명에 따른 가변 이득 저잡음 증폭기는 MOSFET 트랜지스터 증폭 소자를 활용한다.

증폭 소자는 게이트, 소오스, 및 드레인을 구비한다. MOSFET 트랜지스터는 게이트에 인가되는 전압의 크기 및 극성에 따라서, 소오스로부터 드레인으로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다. 이러한 증폭 소자로는 바이폴라 정션 트랜지스터(BJT), 정션 전계 효과 트랜지스터(JFET), 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET) 및 금속 반도체 전계 효과 트랜지스터(MESFET) 등이 있다.

<42> 상술한 증폭 소자 중에서도 이하의 설명에서는 MOSFET을 중심으로 설명하고자 한다. 그러나, 본 발명의 정신은 MOSFET 뿐만 아니라 상보적으로 동작하는 모든 소자에 적용할 수 있다. 따라서, 비록 본 명세서에서는 MOSFET을 중심으로 설명하나, 본 발명의 개념과 범위가 MOSFET으로 한정되는 것은 아니다. 또한, 이하의 설명에서는 N형 MOSFET를 중심으로 설명하지만, 본 발명의 개념을 P형 MOSFET에도 적용할 수 있음은 당업계에 자명하다.

<43> 도 3은 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기를 개략적으로 도시한 회로도이다.

- <44> 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기는 제1 증폭셀(3100), 제2 증폭셀(3300), 선택적 정합 회로(3500), 및 제1 단락 수단 SW1을 포함한다. 제1 증폭셀(3100)은 제1 단자(301) 및 제2 단자(303)를 구비하고, 고 이득 모드에서 제1 단자(301)에 인가된 신호를 추가적인 잡음을 최소화하면서 높은 이득으로 증폭시킨다. 제2 증폭셀(3300)은 제1 단자(305) 및 제2 단자(307)를 구비하고, 저 이득 모드에서 제1 단자(305)에 인가된 신호를 이득을 제어하며 증폭시킨다. 선택적 정합 회로(3500)는 제1 및 제2 단자(309, 311)를 구비하고, 각 이득 모드에서 동작하는 회로가 서로 부하로서 작용하지 않도록 제1 증폭셀(3100)의 입력 임피던스를 선택적으로 변환시킨다.
- <45> 이하, 이들의 연결 관계를 도 3을 참조하여 상세히 설명한다.
- <46> 제1 증폭셀(3100)의 제1 단자(301)는 선택적 정합 회로(3500)의 제2 단자(311)와 접속되고, 제2 단자(303)는 제2 증폭셀(3300)의 제2 단자(307)와 접속되어 저잡음 증폭기의 출력단 Pout을 형성한다. 제2 증폭셀(3300)의 제1 단자(305)는 제1 단락 수단 SW1의 일단과 접속된다. 선택적 정합 회로(3500)의 제1 단자(309)는 제1 단락 수단 SW1의 타단과 접속되어 저잡음 증폭기의 입력단 Pin을 형성한다.
- <47> 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기에 있어서, 도 3에 도시된 바와 같이, 제2 증폭셀(3300)의 제2 단자(307)와 출력단 Pout 간에 제3 단락 수단 SW3이 제공될 수 있다. 이 경우, 제3 단락 수단 SW3은 저 이득 모드 동작시 제2 증폭셀(3300)의 출력 신호를 저잡음 증폭기의 출력단 Pout에 나타나도록 한다.
- <48> 이하, 본 발명에 일실시예에 따른 가변 이득 저잡음 증폭기의 동작을 설명한다.

- <49> 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기는 수신된 신호의 전력 레벨에 따라 두개의 이득 모드, 즉 고 이득 모드 및 저 이득 모드에서 동작한다. 즉, 수신 신호의 전력 레벨이 미리 정해진 제1 문턱 전력 미만인 경우에는 고 이득 모드에서 동작하고, 상기 제1 문턱 전력 이상인 경우에는 저 이득 모드에서 동작한다.
- <50> 고 이득 모드로 동작할 경우, 단락 수단은 단락 상태에서 무시할 수 없는 저항 값을 가짐으로써 신호를 감쇄시킬 수 있고, 개방 상태에서도 유한한 리액턴스 값을 가짐으로써 부하로 작용할 수 있다. 따라서, 고 이득 모드에서 동작하는 회로 내에서 단락 수단의 사용은 가급적 억제해야 하며, 각각의 증폭 회로 동작 시 단락 수단이 갖는 이러한 부하 특성을 고려해야 한다.
- <51> 고 이득 모드의 경우, 제1 단락 수단 SW1은 개방되고, HG-바이어스가 제1 증폭셀(3100)에 인가됨으로써, 제1 증폭셀(3100)이 활성화된다. 또한, LG-바이어스를 인가하지 않음으로써, 제2 증폭셀(3300)을 비활성화시킨다.
- <52> 따라서, 고 이득 모드 동작시, 제1 단락 수단 SW1이 개방됨으로써, 저 이득 모드에서 동작하는 제2 증폭셀(3500)의 임피던스가 고 이득 모드에서 동작하는 제1 증폭셀(3100)에 영향을 미치지 않게 되며, 단지 제1 단락 수단 SW1의 개방 임피던스만이 고 이득 모드 회로에 영향을 미치게 된다. 그러나, 고 이득 모드에서 동작하는 제1 증폭셀(3100)의 입력은 일반적으로, 선택적 정합 회로(3100)에 의하여 표준 저항인 50~75 ohm으로 정합 되며, 제1 단락 수단 SW1의 개방 임피던스는 50~75 ohm 보다 상당히 높은 임피던스를 가진다. 즉, 제1 단락 수단 SW1의 개방 임피던스가 제1 증폭셀(3100)에 부하로서 끼치는 영향은 무시할 수 있다. 따라서, 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기는 고 이득 모드에서 최적의 성능을 발휘할 수 있으며, 입력 신호를 높은 이득으로 증폭시킨다.

- <53> 저 이득 모드의 경우, 제1 단락 수단 SW1은 단락되고, LG-바이어스가 인가되어, 제2 증폭셀(3300)이 활성화된다. 또한 HG-바이어스를 인가하지 않음으로써, 제1 증폭셀(3100)을 비활성화시킨다. 선택적 정합 회로(3500)는 저 이득 모드에서 제1 증폭셀(3100)의 입력 임피던스를 미리 정해진 값 (통상 표준저항인 50~75 ohm) 이상의 높은 임피던스로 변환시킨다. 따라서, 저 이득 모드의 경우 제1 증폭셀(3100)이 제2 증폭셀(3300)의 부하로서 작용하지 않게 됨으로써, 저 이득 모드에서 가변 이득 저잡음 증폭기가 최적의 성능을 발휘할 수 있게 된다.
- <54> 도 4는 본 발명의 다른 실시예에 따른 가변 이득 저잡음 증폭기를 도시한 회로도이다.
- <55> 도 4에 도시된 본 발명의 다른 실시예는 가변 이득 저잡음 증폭기의 입력단 Pin 과 출력단 Pout 사이에 제4 단락 수단 SW4이 제공된다는 점에서 도 3에 도시된 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기와 차이를 갖는다. 본 발명의 다른 실시예에 따른 가변 이득 저잡음 증폭기는 수신 신호의 전력 레벨이 소정의 문턱 전력보다 커서 신호의 증폭 동작이 필요한 경우에 수신 신호를 제4 단락 수단 SW4를 통하여 출력단 Pout으로 직접 전송한다. 따라서, 본 발명의 다른 실시예에 따른 저잡음 증폭기는 전력 소비를 감소시킬 수 있음은 물론 높은 선형성과 가변 이득 저잡음 증폭기의 뒷 단(통상 믹서)의 입력 신호 레벨을 줄여 신호의 왜곡을 줄일 수 있다.
- <56> 도 5a는 도 3 및 도 4에 도시된 가변 이득 저잡음 증폭기에 있어서, 제1 증폭셀(3100)의 내부 구성을 본 발명의 일실시예에 따라 도시한 회로도이다.
- <57> 도 5a에 도시된 바와 같이, 제1 증폭셀(3100)은 소스 공통형으로 구현되고, 증폭 소자 MS51, 퇴화 임피던스 DI51, 및 저항 R51을 포함한다. 증폭 소자 MS51의 드레인은 제1 증폭셀(3100)의 제2 단자(303)를 형성하고, 게이트는 저항 R51의 일단과 접속되어 제1 증폭셀(3100)의 제1 단자(301)를 형성하며, 소오스는 퇴화 임피던스 DI51의 일단과 접속된다. 저항 R51의

타단에는 고 이득 모드 동작 시 제1 증폭셀(3100)을 활성화시키는 HG-바이어스 전압이 인가되고, 퇴화 임피던스 DI51의 타단은 접지된다. 퇴화 임피던스 DI51는 저항, 인덕터 등의 수동 소자 또는 능동 소자를 이용하여 구현할 수 있다.

<58> 소스 공통형 증폭기는, 상기 설명한 바와 같이, 잡음 특성 및 이득 특성이 우수하며, 증폭 소자 MS51의 소오스에 접속된 퇴화 임피던스 DI51를 통해, 입력 전력 정합 및 잡음 정합을 동시에 만족시킬 수 있다. 또한 도 3에 도시된 바와 같이, 제1 증폭셀(3100)의 제1 단자(301)에 정합 회로(3500)를 접속시킴으로써, 잡음 및 이득면에서 최적의 성능을 낼 수 있다. 따라서, 높은 이득 증폭 동작이 필요한 고 이득 모드에서 이러한 소스 공통형 증폭기를 사용하면 저잡음 증폭기가 최고의 성능을 발휘할 수 있다.

<59> 도 5b는 도 3 및 도 4에 도시된 가변 이득 저잡음 증폭기의 제2 증폭셀(3300)의 내부 구성을 본 발명의 일실시예에 따라 도시한 회로도이다.

<60> 도 5b에서 보는 바와 같이, 제2 증폭셀(3300)은 게이트 공통형으로 구현되며, 증폭부(510) 및 가변 이득부(530)를 포함한다.

<61> 제2 증폭셀(3300)의 증폭부(510)는 제1 증폭 소자 MG51를 포함한다. 제1 증폭 소자 MG51의 드레인은 가변 이득부(530)의 제2 및 제3 증폭 소자 MG52, MG53의 소오스의 접속점에 접속되고, 게이트에는 저 이득 모드 동작 시 제2 증폭셀(3300)을 활성화시키는 LG-바이어스 전압이 인가되며, 소오스는 제2 증폭셀(3300)의 제1 단자(305)를 형성한다.

<62> 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기에 있어서, 바람직하게는 제1 증폭 소자 MG51의 소오스 및 접지 사이에 전류 소오스(도시되지 않음, 도2 참조)가 제공된다. 이 경

우에는, 전류 소오스의 전류 값을 조정함으로써, 제1 증폭 소자 MG51의 트랜스컨덕턴스(gm) 값을 변화시킬 수 있고, 증폭부(510)의 입력 임피던스 값을 조정할 수 있다.

<63> 제2 증폭셀(3300)의 가변 이득부(530)는 제2 및 제3 증폭 소자 MG52, MG53, 전압 소오스 V51, 및 가변 전압 소오스 V52를 포함한다. 제2 증폭 소자 MG52의 드레인은 제2 증폭셀(3300)의 제2 단자(307)를 형성하고, 게이트는 전압 소오스 V51 일단과 접속되고, 소오스는 제3 증폭 소자 MG53의 소오스와 접속된다. 제3 증폭 소자 MG53의 드레인은 전원 VDD에 접속되고, 게이트는 가변 전압 소오스 V52에 접속된다. 제3 증폭 소자 MG53의 드레인은 전원 VDD 과 접속되고, 게이트는 가변 전압 소오스 V52와 접속된다.

<64> 증폭부(510)는 게이트 공통형으로 접속된 제1 증폭소자 MG51를 포함하고, 제2 증폭셀(3300)의 제1 단자(305)에 인가된 신호를 증폭시킨다. 게이트 공통형 증폭기는 상기 설명한 바와 같이, 입력 정합을 쉽게 맞출 수 있고, 선형성이 우수하다.

<65> 가변 이득부(530)는 가변 전압 소오스 V52를 제어하여 증폭부(510)에서 출력되는 전류가 제2 및 제3 증폭 소자 MG52, MG53로 각각 분할 되는 양을 조절함으로써, 제2 증폭셀(3300)의 제2 단자(307)로부터 나오는 출력을 가변시키고, 제2 증폭셀(3300)의 이득 값을 연속적으로 조절할 수 있다. 또한, 가변 이득부(530)는 제1 증폭 소자 MG51에 흐르는 전류를 변화시키지 않기 때문에 제1 증폭 소자 MG51의 트랜스컨덕턴스 값을 일정하게 하며, 제2 증폭셀(3300)의 입력 정합을 변화시키지 않는다. 따라서, 도 5b에 도시된 게이트 공통형 구조를 갖는 제2 증폭셀(3300)을 높은 선형성과 가변 이득이 요구되는 저 이득 모드에 사용하면, 입력 정합의 특성을 변화시키지 않으면서 연속적인 가변 이득 기능을 수행할 수 있고, 선형성이 우수한 저 잡음 증폭기를 구현할 수 있다.

- <66> 도 5c는 도 3 및 도 4에 도시된 가변 이득 저잡음 증폭기의 선택적 정합 회로(3500)를 본 발명의 일실시예에 따라 도시한 회로도이다.
- <67> 도 5c에 도시된 바와 같이, 본 발명의 일실시예에 따른 선택적 정합 회로(3500)는 제1 및 제2 인덕터 L51, L52, 커패시터 C51, 및 제2 단락 수단 SW2을 포함한다.
- <68> 제1 인덕터 L51의 일단은 제2 인덕터 L52 및 커패시터 C51의 일단과 접속되고, 타단은 제2 단락 수단 SW2의 일단과 접속된다. 제2 인덕터 L52의 타단은 선택적 정합 회로(3500)의 제1 단자(309)를 형성하고, 커패시터 C51의 타단은 선택적 정합 회로(3500)의 제2 단자(311)를 형성하며, 제2 단락 수단 SW2의 타단은 접지된다.
- <69> 본 발명의 일실시예에 따른 선택적 정합 회로(3500)에 있어서, 제2 단락 소자 SW2는 고 이득 모드, 즉 HG-바이어스가 인가되어 제1 증폭셀(3300)이 활성화된 상태에서 최적의 성능을 발휘할 수 있도록 하고, 저 이득 모드의 경우에는 즉, HG-바이어스가 인가되지 않아 제1 증폭셀(3100)이 비활성화된 경우에는 선택적 정합 회로(3500) 및 제1 증폭셀(3100)로 이루어진 고 이득 모드 회로 블록의 입력 임피던스를 높은 값으로 변환되도록 선택된다.
- <70> 도 6a는 도 3에 도시된 가변 이득 저잡음 증폭기를 도 5a, 도5b 및 도 5c에 도시된 회로를 이용하여 구현한 것을 도시한 회로도이다.
- <71> 도 6a에 도시된 바와 같이, 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기는 제1 및 제2 증폭셀(3100, 3300), 선택적 정합 회로(3500), 및 제1 단락 수단 SW1을 포함한다.
- <72> 제1 증폭셀(3100)은 소스 공통형으로 구현되어, 고 이득 모드에서 동작되며, 제2 증폭셀(3300)은 게이트 공통형으로 구현되어, 저 이득 모드에서 동작된다. 또한, 선택적 정합 회로(3500)는 제2 단락 수단 SW2을 포함하여, 고 이득 모드에서는 제1 증폭셀(3100)이 최적의 성능

을 발휘할 수 있도록 제1 증폭셀(3100)의 입력을 정합시키고, 저 이득 모드에서는 제1 증폭셀(3100)의 입력 임피던스를 높은 값으로 변환시켜 제1 증폭셀(3100)이 제2 증폭셀(3300)의 부하로서 작용하지 않도록 한다. 따라서, 본 발명의 일실시예에 따른 가변 이득 저잡음 증폭기는 각각의 이득 모드에서 최적의 성능을 발휘할 수 있다.

<73> 또한, 본 발명에 따른 가변 이득 저잡음 증폭기는, 높은 잡음 및 이득 특성이 요구되는 고 이득 모드에서는 소스 공통형 제1 증폭셀(3100)을 이용하고, 높은 선형성 및 연속적 가변 이득이 요구되는 저 이득 모드에서는 게이트 공통형 제2 증폭셀(3300)을 이용함으로써, 선형성이 우수하고 입력 정합이 쉬우며, 연속적 가변 이득 기능이 가능한 가변 이득 저잡음 증폭기를 구현할 수 있다.

<74> 나아가, 수신 신호의 전력 레벨이 충분히 커서 증폭이 필요 없는 저 이득 모드의 경우에는 도 4에 도시된 제4 단락 수단 SW4을 통하여 수신 신호를 출력단 Pout으로 직접 도통시킴으로써, 증폭 동작에 필요한 전력 소모가 없도록 한다.

<75> 도 6b 및 6c는 가변 이득 저잡음 증폭기가 각각 고 이득 모드 및 중간 이득 모드에서 동작하는 경우, 본 발명의 일실시예에 따른 선택적 정합 회로(3500)의 동작을 보다 상세히 설명하기 위하여 제1 증폭셀(3100)의 입력 부분을 등가적으로 도시한 회로도이다.

<76> 고 이득 모드의 경우, 제 2 단락 수단 SW2은 개방되고, 활성화된 제1 증폭셀(3100)의 입력은 등가적으로 ZHG,on 로 나타낼 수 있다. 이 때, 제2 인덕터 L52 및 커패시터 C51를 이용하여 제1 증폭셀(3100)의 입력 임피던스를 정합시킴으로써 고 이득 모드에서 최상의 성능을 얻을 수 있다. 즉, 가변 이득 저잡음 증폭기로 최대의 전력, Pin이 전달됨과 동시에 제1 증폭셀(3100)로 전달되는 전력이 최대가 되므로 최적화된 고 이득 모드 특성을 얻게 된다.



<77> 저 이득 모드의 경우, 제 2 단락 수단 SW2은 단락되고, 비활성화된 제1 증폭셀(3100)의 입력은 등가적으로 ZLG,off로 나타낼 수 있다. 여기서 ZLG,off는 ZHG,on과 그 값이 많이 다르다는 것에 착안하였으며, 이 때, 정합 회로(3500)는 제1 및 제2 인덕터 L51, L52, 및 커패시터 C51를 포함하게 된다. 제1 인덕터 L51는 제1 증폭셀(3100)의 입력 부분이 노드(309)에서 실질적으로 무한대의 입력 임피던스로 보이도록 미리 정해진 인덕턴스 값을 갖는다. 이렇게 함으로써, 저 이득 모드의 경우, 제1 증폭셀(3100)의 입력 부분은 제2 증폭셀(3300)에 영향을 미치지 않게 된다. 따라서, 가변 이득 저잡음 증폭기의 입력은 이미 최적화된 제2 증폭셀(3300)의 입력 임피던스로 정합되어, 최대의 전력, P_{in} 이 전달됨과 동시에, 제1 증폭셀(3100)로 전달되는 전력은 실질적으로 0이 되므로, 제2 증폭셀(3300)로 전달되는 전력이 최대가 됨으로써, 최적화된 저 이득 모드 특성을 얻게 된다.

【발명의 효과】

<78> 본 발명에 따르면, 저잡음 증폭기는 각각의 이득 모드에서 동작하는 회로가 다른 이득 모드에서 최적으로 동작하는 회로의 성능에 영향을 미치지 않음으로써, 각각의 회로는 각각의 이득 모드에서 최적의 성능을 발휘할 수 있다.

<79> 또한, 서로 다른 이득 모드에서 입력 정합, 이득, 잡음 특성, 선형성 등에서 최적의 성능을 발휘할 수 있다.

<80> 나아가, 수신 신호의 크기에 따라 두 개 이상의 이득 모드에서 동작하며, 저 이득 모드에서는 이득을 가변시킬 수 있다.

<81> 더 나아가, 증폭 동작이 필요 없는 경우에는 단락 수단을 통하여 수신 신호를 그대로 출력함으로써, 가변 이득 저잡음 증폭기의 전력 소비를 줄일 수 있다.

【특허청구범위】

【청구항 1】

입력단에 인가된 신호를 증폭하여 출력단으로 출력하는 가변 이득 저잡음 증폭기에 있어서,

제 1 단자 및 상기 출력단에 접속되는 제2 단자를 구비하고, 고 이득 모드에서 상기 제1 단자에 인가된 신호를 높은 이득으로 증폭하여 상기 제2 단자로 출력하는 제1 증폭셀,

제1 단자 및 상기 출력단에 접속되는 제2 단자를 구비하고, 저 이득 모드에서 상기 제1 단자에 인가된 신호를 저 이득으로 증폭하여 상기 제2 단자로 출력하는 제2 증폭셀,

상기 입력단에 접속되는 제1 단자 및 상기 제1 증폭셀의 제1 단자에 접속되는 제2 단자를 구비하고, 제1 증폭셀의 입력 임피던스를 선택적으로 변환시키는 선택적 정합 회로, 및

상기 입력단 및 상기 제2 증폭셀의 제1 단자 사이에 접속되어, 저 이득 모드 동작 시 상기 입력단에 인가된 신호를 상기 제2 증폭셀의 제1 단자로 전송하는 제1 단락 수단

을 포함하되,

상기 선택적 정합 회로는 고 이득 모드의 동작 시에는 상기 입력단에 인가되는 신호의 제1 증폭셀로 전달되는 전력이 최대가 되도록 입력 임피던스를 변환시키고, 저 이득 모드의 동작 시에는 상기 입력단에 인가되는 신호의 제1 증폭셀로 전달되는 전력이 실질적으로 0이 되도록 입력 임피던스를 선택적으로 변환시키는 가변 이득 저잡음 증폭기.

【청구항 2】

제1항에 있어서,

상기 제2 증폭셀의 제2 단자 및 상기 출력단 사이에 단락 수단을 더 포함하는 가변 이득 저잡음 증폭기.

【청구항 3】

제1항에 있어서,

상기 입력단 및 출력단 사이에 단락 수단을 더 포함하는 가변 이득 저잡음 증폭기.

【청구항 4】

제1항에 있어서,

상기 제1 증폭셀은 제1, 제2 및 제3 단자를 포함하며, 상기 제3 단자에 인가되는 전압에 비례하여 상기 제1 단자로부터 상기 제2 단자로 흐르는 전류의 양이 제어되는 증폭 소자, 저항, 및 퇴화 임피던스를 포함하고,

상기 증폭 소자의 제1 단자는 상기 제1 증폭셀의 제2 단자를 형성하고, 제2 단자는 상기 퇴화 임피던스의 일단과 접속되며, 상기 제3 단자는 상기 저항의 일단과 접속되어 상기 제1 증폭셀의 제1 단자를 형성하고, 상기 저항의 타단에는 고 이득 모드 동작 시 상기 제1 증폭셀을 활성화시키는 HG-바이어스 전압이 인가되고, 상기 퇴화 임피던스의 타단은 접지되며, 상기 증폭 소자는 상기 제2 단자 공통형으로 접속된 가변 이득 저잡음 증폭기.

【청구항 5】

제1항에 있어서,

상기 제2 증폭셀은 제1, 제2 및 제3 단자를 포함하며, 상기 제3 단자에 인가되는 전압에 비례하여 상기 제1 단자로부터 상기 제2 단자로 흐르는 전류의 양이 제어되는 제1 증폭 소자를 포함하며, 상기 제1 증폭 소자의 제2 단자는 상기 제2 증폭셀의 제1 단자를 형성하고, 제3 단자에는 저 이득 모드 동작시 상기 제2 증폭셀을 활성화시키는 LG-바이어스 전압이 인가되며, 상기 제1 증폭 소자는 상기 제3 단자 공통형으로 접속된 증폭부, 및

각각 제1, 제2 및 제3 단자를 포함하며, 상기 제3 단자에 인가되는 전압에 비례하여 상기 제1 단자로부터 상기 제2 단자로 흐르는 전류의 양이 제어되는 제2 및 제3 증폭 소자, 전압 소오스, 및 가변 전압 소오스를 포함하고,

상기 제2 증폭 소자의 제1 단자는 상기 제2 증폭셀의 제2 단자를 형성하고, 제2 단자는 상기 제3 증폭 소자의 제2 단자와 접속되어 상기 증폭부의 제1 증폭 소자의 제1 단자에 접속되며, 제3 단자는 전압 소오스의 일단과 접속되고, 상기 제3 증폭 소자의 제1 단자는 전원에 접속되고, 제3 단자는 가변 전압 소오스에 접속되며, 상기 전압 소오스 및 가변 전압 소오스의 타단은 접지되는 가변 이득 저잡음 증폭기

【청구항 6】

제1항에 있어서,

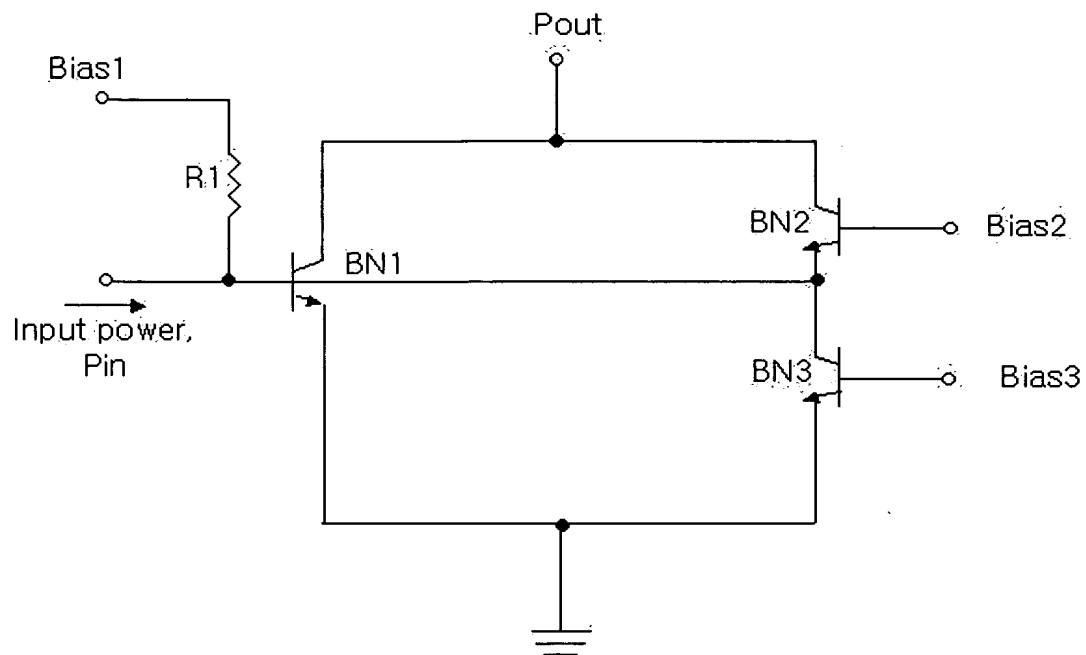
상기 정합 회로는 제1 및 제2 인덕터, 커패시터, 및 단락 수단을 포함하고,

상기 제1 인덕터의 일단은 상기 제2 인덕터 및 상기 커패시터와 접속하고, 타단은 상기 단락 수단의 일단에 접속되며, 상기 제2 인덕터의 타단은 상기 정합 회로의 제1 단자를 형성하고, 상기 커패시터의 타단은 상기 정합 회로의 제2 단자를 형성하며, 상기 단락 수단의 타단은 접지되는 가변 이득 저잡음 증폭기.

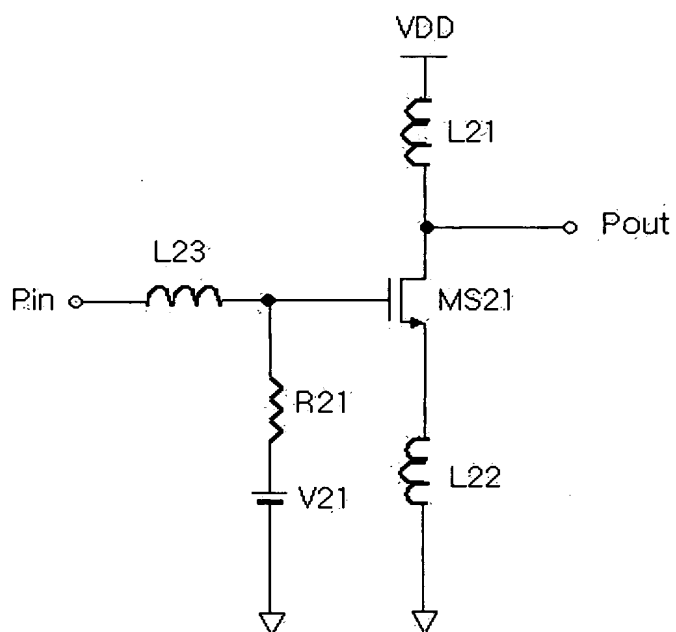


【도면】

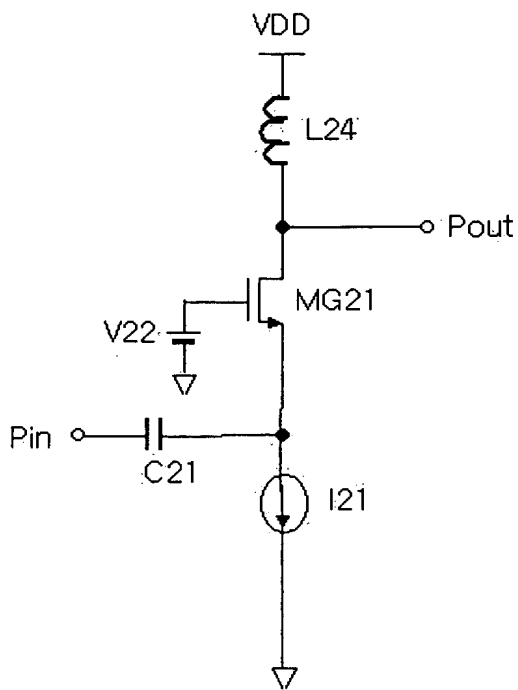
【도 1】



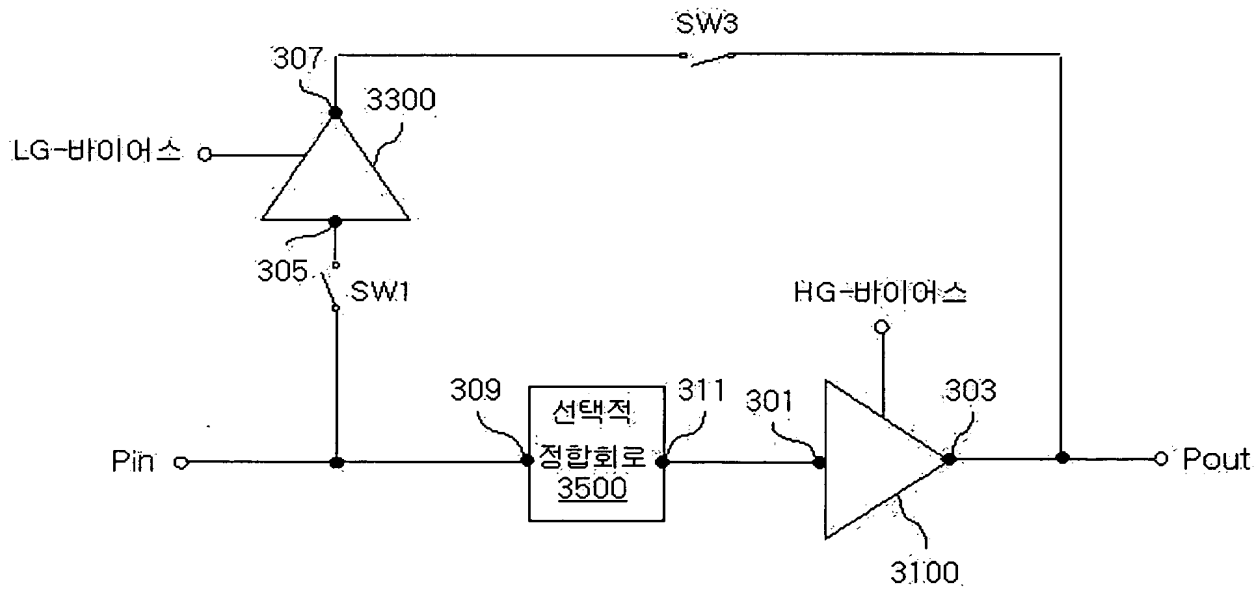
【도 2a】



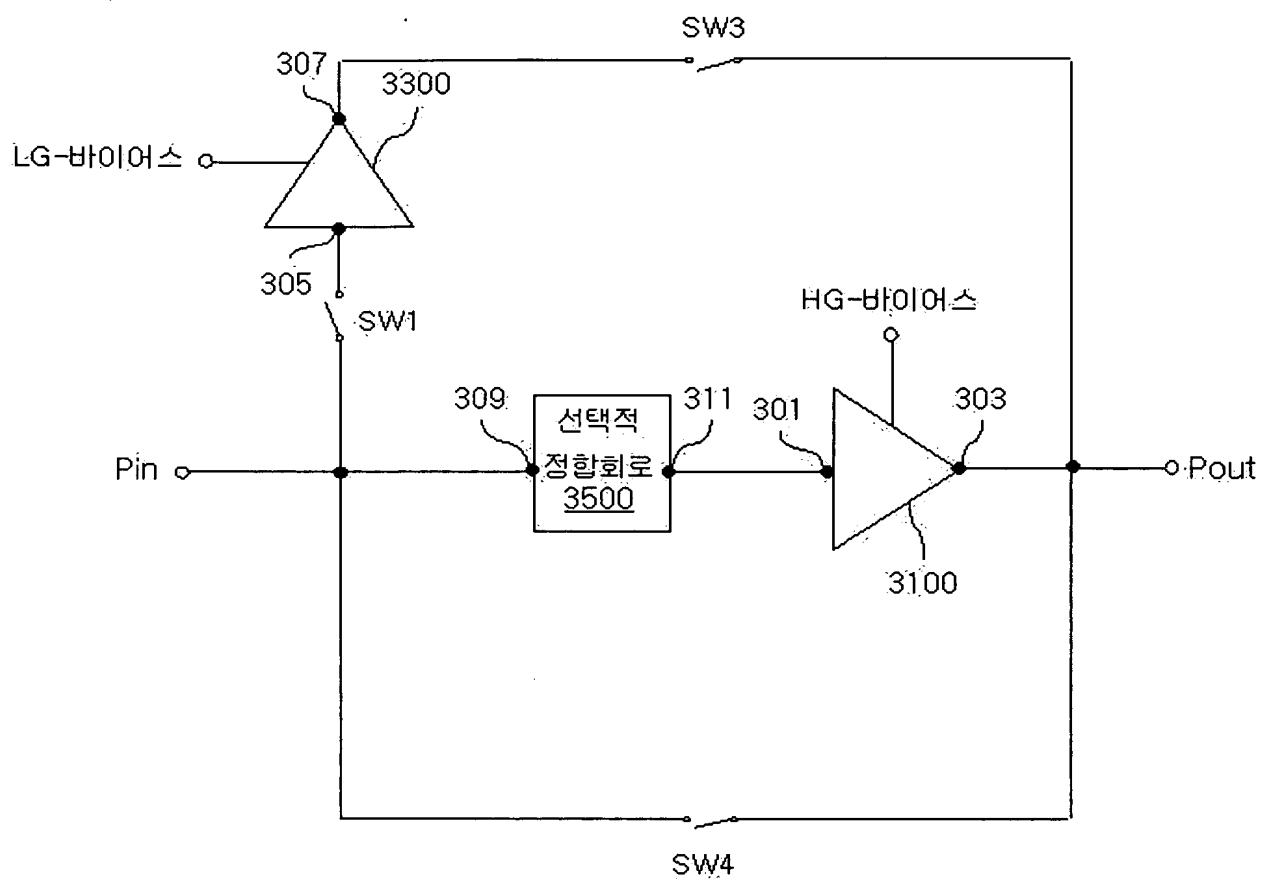
【도 2b】



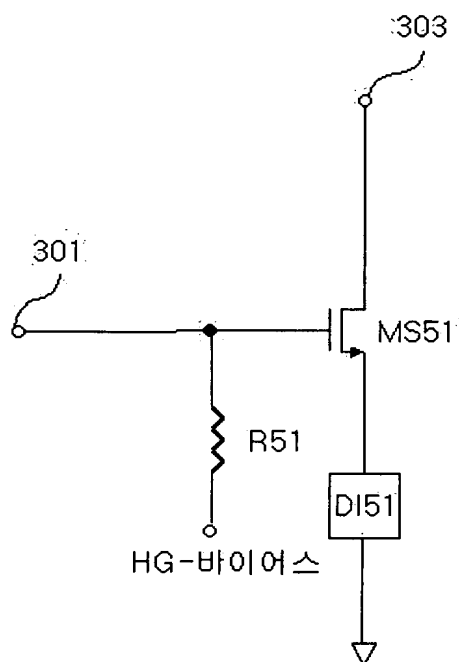
【도 3】



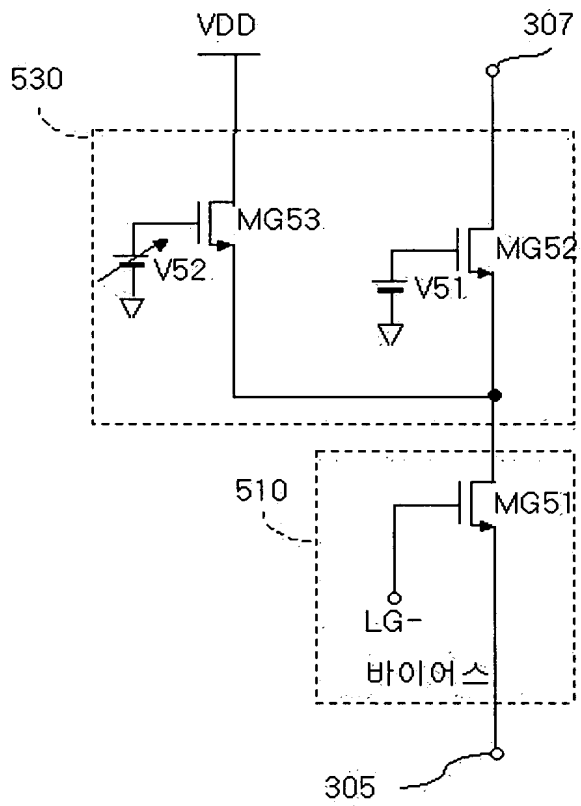
【도 4】



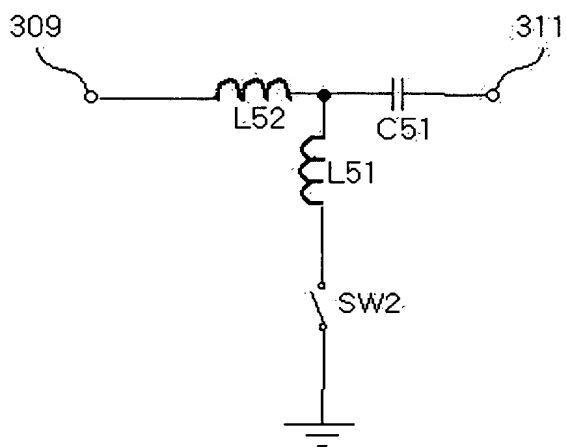
【도 5a】



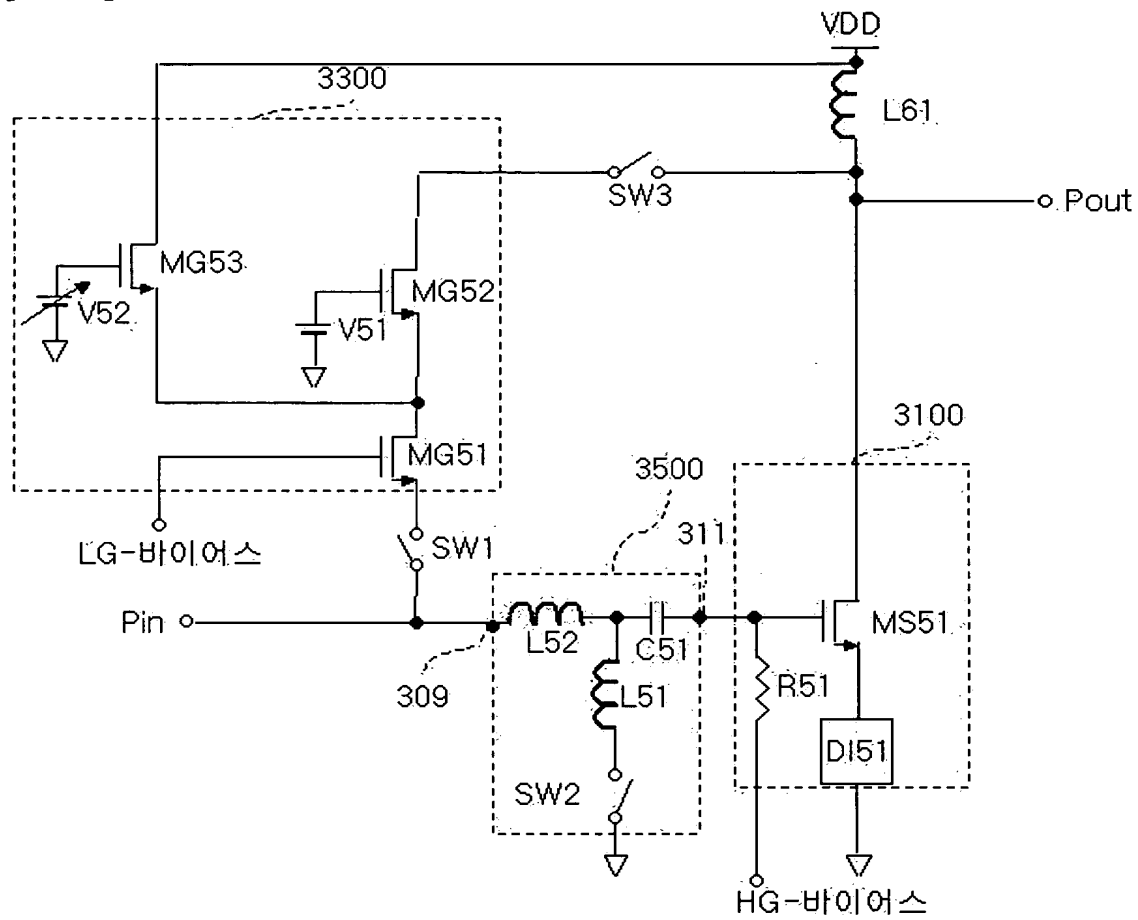
【도 5b】



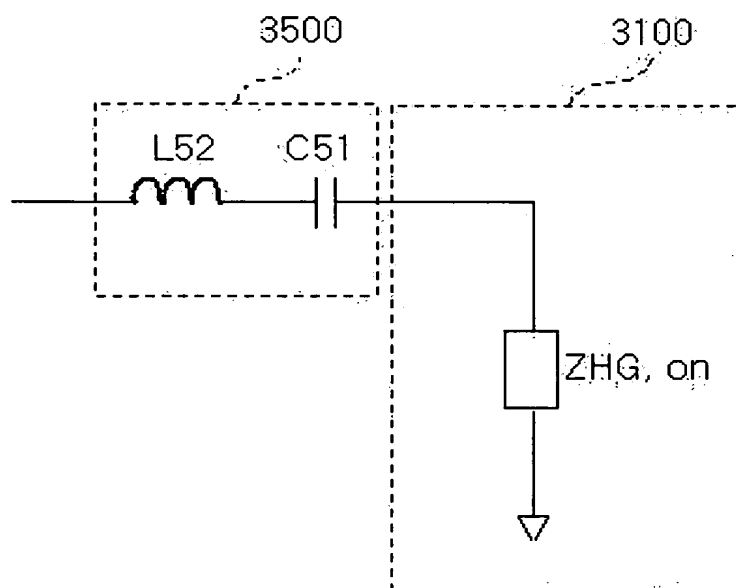
【도 5c】



【도 6a】



【도 6b】



【도 6c】

